

Diseño integrado de un Amplificador Lock-in compacto de bajo consumo para aplicaciones portátiles

Maya-Hernández P.M., Sanz-Pascual M.T., Díaz-Sánchez A.
*Instituto Nacional de Astrofísica, Óptica y Electrónica
 Luis Enrique Erro no.1, Tonantzintla, Puebla, México*

Calvo B.
*Grupo de Diseño Electrónico I3A, University of Zaragoza
 Pedro Cerbuna no.9 Zaragoza, España*
 (Recibido: 8 de febrero de 2013; Aceptado: 2 de junio de 2014)

Una técnica para la medición de la amplitud de una señal, incluso si el ruido y las interferencias superpuestas son mayores que la propia señal, es la técnica de detección sensible a fase, que es la base de los amplificadores *lock-in*. En este trabajo se presenta un nuevo diseño de amplificador *lock-in* en modo corriente, integrado en una tecnología CMOS de 0.18 μ m con voltaje de alimentación de 1.8V, y que es adecuado para aplicaciones portátiles gracias a su reducido consumo de potencia y voltaje de alimentación único. La arquitectura propuesta es capaz de recuperar una señal de interés de ambientes ruidosos con errores por debajo del 6.1% para una reserva dinámica de 42.7dB, está provista de una ganancia entre 1.2 y 20.3dB programable de forma digital, ruido referido a la entrada de $6.2nV/\sqrt{Hz}@1kHz$ y consumo de potencia de 237 μ W.

Palabras Clave: Diseño Analógico CMOS; Circuitos de Acondicionamiento de Sensores; Amplificadores Lock-In; Recuperación de señales; Detección Sensible a Fase

A technique for measuring the amplitude of a signal, even if the superimposed noise and interferences are higher than the signal itself, is the technique of phase sensitive detection, which is the basis of *lock-in* amplifiers. In this work a novel design of an integrated current mode *lock-in* amplifier in 0.18 μ m CMOS technology with 1.8V supply voltage is presented. It is suitable for portable applications thanks to its reduced low power consumption and single supply voltage. The proposed architecture is capable of recovering a signal of interest from noisy environments with errors below 6.1% for a dynamic reserve of 42.7dB. It is provided of a digitally programmable gain ranging from 1.2 to 20.3dB, the input referred noise is $6.2nV/\sqrt{Hz}@1kHz$ and power consumption is 237 μ W.

Keywords: CMOS Analog Design; Sensor Conditioning Circuit; Lock-In Amplifier; Signal Recovery; Phase-Sensitive Detection

1. Introducción

La utilización de sensores y actuadores se ha vuelto indispensable en nuestra vida cotidiana debido a la capacidad que ofrecen para el monitoreo y control de diversas magnitudes físicas y químicas, favoreciendo el desarrollo de una amplia gama de aplicaciones en ramas científicas, médicas, industriales, etc [1,2]. Sin embargo, la detección de la señal puede convertirse en un reto debido a que normalmente su nivel de voltaje es bajo, y puede verse ensombrecida por ambientes ruidosos que superen incluso en amplitud a la señal de interés [3]. Es por ello que surge la necesidad de utilizar técnicas de amplificación especiales que incrementen la relación señal-ruido (SNR) de estos sistemas. Una técnica que permite realizar la medición de la amplitud incluso si el ruido y las interferencias superpuestas son mayores que la propia señal, es la técnica de detección sensible a fase (PSD, por sus siglas en inglés), en la cual basan su modo de operación los amplificadores *lock-in* (LIAs) [4].

Un LIA es un sistema que reduce el ancho de banda del ruido mediante una detección síncrona. En la Figura 1 se

observa el esquema de operación de un amplificador *lock-in*. La señal de entrada V_{in} es una senoidal de frecuencia f_0 . Esta señal es amplificada por un amplificador de instrumentación de ganancia A. Mediante un circuito PLL se genera una señal de referencia V_{ref} a la misma frecuencia f_0 , con forma senoidal, triangular o cuadrada dependiendo de la aplicación. Ambas señales se multiplican, pudiendo expresarse el producto como una serie de armónicos. Finalmente, la señal resultante es enviada a un filtro pasa bajas (LPF) que elimina las componentes armónicas AC y permite extraer una contribución en DC (V_{out_dc}) proporcional a la señal de interés [4, 5]. Para una señal de referencia cuadrada, el nivel de DC obtenido viene dado por:

$$V_{out_dc} = \left(\frac{2AV_{in}V_{ref}}{\pi} \right) \cos \theta \quad (1)$$

De la ecuación anterior se puede determinar que la respuesta del sistema dependerá del desfase que exista entre la señal de interés y la señal de referencia, el valor θ . Si V_{in} y V_{ref} se encuentran en fase ($\theta = 0^\circ$), la señal de interés es completamente rectificadora y la componente en DC es máxima y proporcional a la amplitud de la señal de entrada.

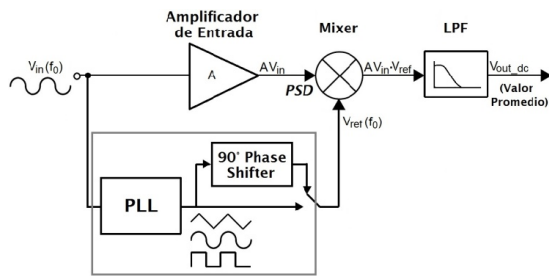


Figura 1. Esquema de operación de Amplificador Lock-in

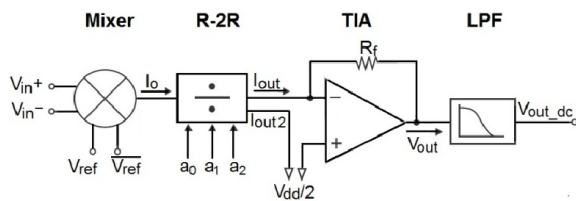


Figura 2. Topología del Amplificador Lock-In propuesto

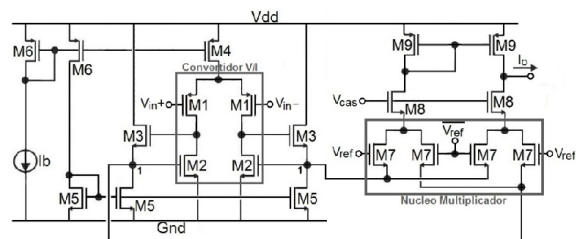


Figura 3. Multiplicador.

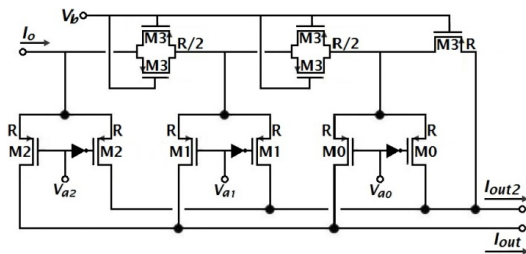


Figura 4. Divisor de Corriente.

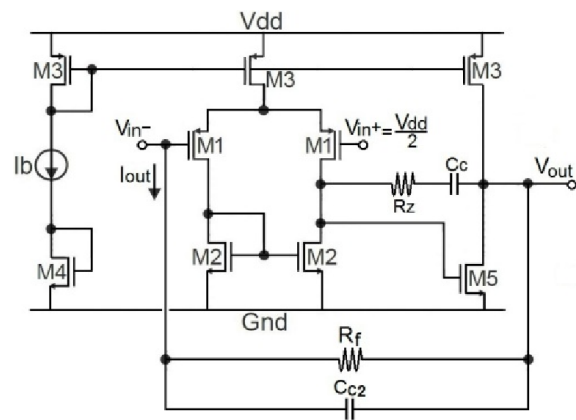


Figura 5. Amplificador de transimpedancia.

Cuando el desfase es $\theta = 90^\circ$ o $\theta = 270^\circ$, la contribución en DC es nula, por lo que la salida es igual a tierra ($V_{dd}/2$ si el sistema se alimenta con una sola fuente V_{dd}) y no es posible determinar el valor de la señal de interés. En casos intermedios, la salida toma valores intermedios, por lo que es conveniente que las señales de entrada y de referencia se encuentren en fase, para obtener la máxima contribución en DC y así optimizar la recuperación de la señal.

Como señal de referencia (V_{ref}) se utiliza normalmente una señal cuadrada, ya que es más fácil de generar que otro tipo de funciones, su amplitud puede mantenerse más estable y el cruce por cero está mejor definido [6]. Además, la multiplicación de la señal de entrada por la señal cuadrada es equivalente a tener 2 fases de operación, una en la que se deja pasar la señal y otra en la que no; esto se puede implementar simplemente mediante interruptores, mientras que una señal senoidal o triangular requiere de circuitos más complejos para su generación. Finalmente, otra ventaja al utilizar esta forma de onda, es que se tiene una mayor sensibilidad en todo el sistema frente al uso de señales de referencia senoidales o triangulares.

Los amplificadores *lock-in* se utilizan ampliamente en la detección de señales ópticas [7, 8] ya que evitan la deriva térmica y errores de detección de luz no deseada, inconvenientes presentes en otras técnicas basadas en acoplamiento en DC a la entrada. Además, los LIAs también se utilizan para la detección de bajas concentraciones de gas, ya sea mediante la medición de impedancias (resistencia y capacitancia) con detectores de doble fase [9] o mediante la detección del nivel de DC que responde a los pequeños cambios producidos por variaciones en la concentración de gas [10]. Asimismo, en estructuras resonantes excitadas magnéticamente se pueden detectar señales de muy baja amplitud sumergidas en niveles de ruido en base a la activación de una frecuencia determinada mediante una bobina [11].

En la literatura se encuentran pocas implementaciones integradas de LIAs [7-15]. Algunas operan en modo de alimentación dual [12, 13], y la mayoría presenta un consumo de potencia que va de las unidades a las centenas de mW [7-13], por lo que no son adecuadas para sistemas portátiles que operan con baterías. En este trabajo se presenta una implementación alternativa de un LIA analógico en modo corriente, con consumo reducido de potencia del orden de μW , para su utilización en aplicaciones portátiles. El circuito se basa en la técnica de detección síncrona en modo corriente utilizada en [14, 15]. Sin embargo, en este caso se elimina el bloque de entrada, realizándose la conversión de la señal directamente en un circuito multiplicador altamente lineal, lo que permite tener una reducción del área y el consumo de potencia. Además, mediante el uso de un amplificador de transimpedancia (TIA) con un amplio rango dinámico se logra mejorar el rango de procesamiento de señal del circuito. Como resultado el sistema es más compacto, lineal y con mayor rango dinámico, aumentando la versatilidad para su uso en distintas aplicaciones portátiles.

El trabajo se encuentra desarrollado de la siguiente manera: en la Sección II se presenta el LIA propuesto, así

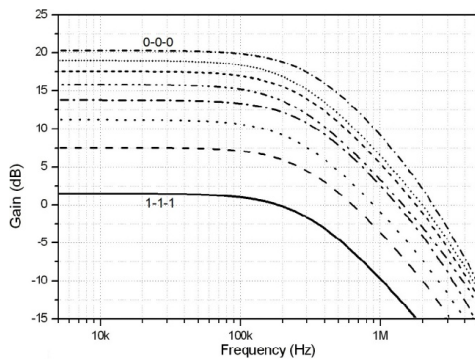


Figura 6. Análisis AC: Programabilidad de la Ganancia.

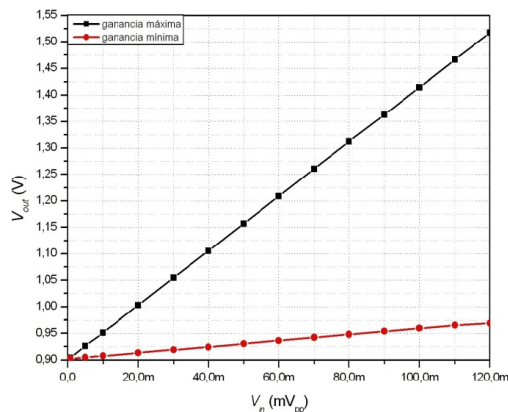


Figura 7. Voltaje de salida del TIA (V_{out}) vs Voltaje de entrada pico-pico (V_{in}) para ganancia máxima y mínima.

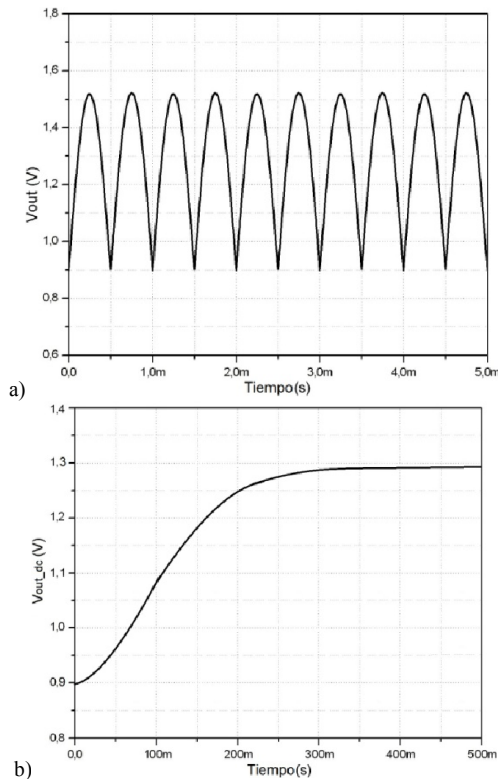


Figura 8. Señal de salida de TIA rectificad y señal de salida en dc de LPF para senoidal de $60mV_{pp}$ a 1kHz.

como la topología utilizada para cada uno de los bloques que lo conforman. Todos los circuitos fueron diseñados en una tecnología CMOS de $0.18\mu m$, con un voltaje de alimentación $V_{dd}=1.8V$. En la sección III, se presentan los resultados de simulación de la caracterización eléctrica del LIA, así como un resumen del funcionamiento del circuito ante señales indeseadas. Finalmente en la sección IV se presentan las conclusiones.

2. Amplificador Lock-In Propuesto

La arquitectura del LIA propuesto se muestra en la Fig. 2. La etapa de entrada es un circuito multiplicador que realiza la rectificación síncrona en modo corriente de la señal de entrada V_{in} y la señal de referencia V_{ref} . A continuación, un circuito divisor de corriente brinda programabilidad al circuito al ponderar la corriente de manera binaria. Mediante un amplificador de transimpedancia, la señal es convertida nuevamente a voltaje. Finalmente, un filtro pasa bajas realiza el promediado de la señal de interés y elimina las componentes armónicas de alto orden.

Esta topología presenta ventajas frente a las implementaciones en modo voltaje [7-13], ya que el procesamiento de la señal en el dominio de la corriente ofrece mayor linealidad, un ancho de banda más amplio, rango dinámico mayor y bajo consumo de potencia [16, 17]. Frente a las implementaciones previas en modo corriente, propuestas por los autores en [14,15], se obtienen estas mismas ventajas gracias a un diseño optimizado que ha permitido reducir el número de bloques que conforman el LIA, reducir el consumo de potencia y mejorar la linealidad.

2.1. Multiplicador

Como bloque de entrada, se utiliza un multiplicador que reduce la distorsión a partir del uso de nodos de baja impedancia y que incorpora en un mismo circuito la función de conversión de la señal de voltaje a corriente y la rectificación síncrona de la señal de entrada [18], como muestra la Fig. 3.

Su modo de operación es el siguiente: el par diferencial de entrada $M1$ convierte la señal de entrada en corriente. Los transistores $M3$ funcionan como seguidores de fuente, fijando el voltaje V_{gs} de los transistores $M2$, con lo que la señal se copia a los nodos 1 de baja impedancia. De estos nodos, la señal es enviada a los transistores $M7$ de cruce acoplados que forman una celda Gilbert. Las señales de referencia V_{ref} y $\overline{V_{ref}}$ son inyectadas en las compuertas de estos transistores $M7$, realizándose la rectificación síncrona de la señal de entrada. Los transistores $M8$ proveen un nodo de baja impedancia a los drenadores de los transistores $M7$ de modo que la corriente fluye hacia las cargas activas $M9$. Así, la corriente resultante I_o está dada por:

$$I_o = 2M \cdot (k_n(W/L))_{M7} \cdot V_{in} \cdot V_{ref} \quad (2)$$

Tabla 1. Caracterización Eléctrica del Multiplicador.

Parámetros	Multiplicador
Ganancia	103.5 μ A/V
Rango de Entrada	\pm 60mV
Rango de Salida	\pm 6.2 μ A
THD@1kHz (10 μ A _{pp} salida)	-52.9dB
Consumo de Potencia	120.1 μ W

donde $M = \sqrt{\frac{k_p(W/L)_{M1}}{k_n(W/L)_{M2}}}$, y k_p y k_n son los parámetros de transconductancia de los transistores M1 y M2, respectivamente. Cabe destacar que el uso de la técnica de *bootstrapping* (M2-M3) incrementa la linealidad del circuito.

Los parámetros más importantes obtenidos de la caracterización del multiplicador de entrada se muestran en la Tabla 1. El circuito presenta una linealidad de -52.9dB a 1kHz para una señal de salida de 10 μ A_{pp} y un consumo de potencia de 120.1 μ W.

2.2. Divisor de Corriente Programable

El divisor de corriente programable de 3 bits está basado en un divisor R-2R implementado con transistores PMOS, como se muestra en la Fig. 4, con la finalidad de obtener un circuito compacto, al eliminar el uso de resistores, y que lleve a cabo una división lineal de la corriente [19].

La corriente de entrada I_o se divide en dos corrientes: $I_{out1} = \Delta I_o$ y $I_{out2} = (1 - \Delta)I_o$. El factor de división Δ se controla mediante una palabra digital $Va(3)=\{a_2, a_1, a_0\}$ y está dado por:

$$\Delta = \frac{1}{2^n} [1 + \sum_{j=0}^{n-1} (2^j - a_j 2^j)] \text{ con } n = 3 \quad (3)$$

La corriente de salida I_{out} se conecta a la entrada del siguiente bloque, el amplificador de transimpedancia, mientras que la corriente I_{out2} se conecta a $V_{dd}/2$ para una división de corriente adecuada. La ventaja de usar transistores paralelos para generar $R/2$ y un transistor para generar R es que la caída de voltaje entre el nodo de entrada y los nodos de corriente de salida es menor que si fueran 2 transistores en serie para generar $2R$ y uno para generar R [20].

2.3. Amplificador de Transimpedancia

Para la conversión de corriente a voltaje se utilizó el amplificador de transimpedancia (TIA) mostrado en la Fig. 5, que consiste en un amplificador diferencial y un resistor de realimentación $R_f=100k\Omega$.

Para el amplificador se utilizó una topología de dos etapas, la primera conformada por un par diferencial PMOS (M1) de salida única y la segunda por un NMOS en fuente común (M5). Esta topología provee una ganancia elevada y un amplio rango de salida. La compensación en frecuencia del circuito se realiza mediante los capacitores $C_C=6pF$, $C_{C2}=1.5pF$ y el resistor $R_Z=4k\Omega$, que aseguran la

Tabla 2. Caracterización Eléctrica de Tia.

Parámetros	TIA
Ganancia	100 dB Ω
BW intrínseco	1MHz
Rango de Entrada	\pm 8.3 μ A
Rango de Salida	\pm 830mV
THD@1kHz, 1.6V _{pp} output	-64.7dB
Consumo de Potencia	98.5 μ W

estabilidad del circuito. La salida del circuito viene dada por:

$$V_{out} = -I_{out} \cdot R_f \quad (4)$$

Para polarizar al circuito se utilizó una corriente $I_b = 10\mu A$ con la finalidad de asegurar que el circuito presente un bajo consumo de potencia. En la tabla 2, se presenta un resumen de los parámetros más importantes de la caracterización del amplificador de transimpedancia realizada a nivel simulación, en donde se destaca una alta linealidad para el máximo voltaje de salida y un consumo de potencia de 98.5 μ W.

Considerando la conexión en cascada de todos los bloques hasta aquí presentados, la ganancia total del sistema en función de la palabra digital $Va(3)$ está dada por la siguiente expresión:

$$A = \frac{V_{out}}{V_{in}} = \frac{1}{2^{n-1}} V_{ref} \cdot M(k_n(W/L))_{M7} [1 + \sum_{j=0}^{n-1} (2^j - a_j 2^j)] R_f \text{ con } n=3 \quad (5)$$

Un inconveniente de esta configuración es que la ganancia depende de los parámetros de los transistores de la etapa de entrada, por lo que es sensible a variaciones de proceso. Sin embargo, la programabilidad hace posible compensar este efecto en una fase inicial de calibración.

2.4. Filtro Pasa Bajas

Para la implementación del filtro pasa bajas de salida, se utilizó una red pasiva RC de segundo orden, cuya frecuencia de corte es igual a $f_c=5Hz$. Se eligió dicho valor

Tabla 3. Caracterización Eléctrica de LIA.

Parámetro	Valor
Ganancia	1.2 – 20.3dB
BW intrínseco	317kHz
Ruido referido a la entrada @1kHz	6.2nV/ \sqrt{Hz}
CMRR @1kHz	115.2dB
PSRR+ @1kHz	49.7dB
PSRR- @1kHz	41.8dB
Rango de Entrada	\pm 60mV
Rango de Salida	\pm 600mV
THD@ 300mV _{pp} @1kHz	-71.4dB
Offset a la Salida	1.4mV
Consumo de potencia	.2 μ W

Tabla 4. Voltaje en Dc de Salida para $V_{in}=800\mu V_{pp}@1kHz$ y diferentes casos de Ruido.

Tipo de ruido	Nivel de ruido	SNR	$V_{out_dc_ideal}$	$V_{out_dc_sim}$	Error Relativo
Interferencia senoidal	$V_{no}=30mV_{pp}@10kHz$	-31.5dB	905.3mV	929.4mV	2.7%
Interferencia senoidal	$V_{no}=60mV_{pp}@10kHz$	-37.5dB	905.3mV	940.3mV	3.9%
Interferencia senoidal	$V_{no}=110mV_{pp}@10kHz$	-42.7dB	905.3mV	954.1mV	5.4%
Interferencia senoidal	$V_{no}=30mV_{pp}@1.1kHz$	-31.5dB	905.3mV	930.6mV	2.8%
Interferencia senoidal	$V_{no}=30mV_{pp}@1.025kHz$	-31.5dB	905.3mV	932.0mV	2.9%
Interferencia senoidal	$V_{no}=30mV_{pp}@1.005kHz$	-31.5dB	905.3mV	936.2mV	3.4%
Ruido blanco	$V_{no}=21.2mV_{rms}$	-37.5dB	905.3mV	949.3mV	4.9%
Ruido blanco	$V_{no}=38.5mV_{rms}$	-42.7dB	905.3mV	960.2mV	6.1%

para limitar y eliminar todas las componentes armónicas que se encuentren fuera de su ventana de aceptación, y extraer únicamente la componente en DC. Para su implementación, se utilizaron resistores y capacitores de valor $R=6.4M\Omega$ y $C=5nF$.

Debe observarse que en este trabajo se ha supuesto, por simplicidad, que la señal de entrada al *lock-in* y la señal de referencia están en fase. No obstante, debido a la gran importancia de la señal de referencia para el funcionamiento correcto del LIA, en implementaciones futuras se generará esta señal mediante un circuito PLL que realice el ajuste de la fase entre las señales V_{in} y V_{ref} . Para ello, mediante el desplazador de fase se buscará que el circuito entregue una contribución nula de la componente en DC a la salida: esto indicará que las señales se encuentran en un desfase de 90 o 270°, lo que permitirá, mediante un desplazamiento adicional de fase de 90° de la señal de referencia, poner a ambas señales en fase y, con ello, extraer la máxima contribución en DC a la salida.

3. Resultados de Simulación

El LIA propuesto fue diseñado en tecnología CMOS de 0.18 μm con voltaje de polarización de 1.8V. La caracterización eléctrica obtenida mediante simulación es reportada en la Tabla 3. Cabe destacar que el circuito presenta un elevado rechazo al modo común (115.2dB@1kHz), ruido referido a la entrada de 6.2 nV/ \sqrt{Hz} @1kHz y un consumo de potencia de 237.2 μW , lo que lo hace adecuado para su uso en aplicaciones portátiles.

La Fig. 6 muestra la programabilidad de la ganancia desde el circuito transconductor hasta el amplificador de transimpedancia, con un ancho de banda (BW) de 317kHz, en función de la palabra digital $Va(3)$. Esta ganancia variable brinda flexibilidad al LIA para la detección de señales en distintos rangos; además, dado que el BW del LIA es del orden de centenas de kHz, el campo de aplicaciones se abre a distintos sensores con frecuencias de

operación de hasta decenas de kHz, frente a otras implementaciones que trabajan a frecuencia fija y por lo tanto quedan limitados a una única aplicación.

En la Figura 7 se muestra el voltaje V_{out} a la salida del TIA frente a la señal de entrada V_{in} para la ganancia máxima y la ganancia mínima.

Para su caracterización, inicialmente el amplificador fue puesto a la máxima ganancia y se introdujo una señal senoidal libre de ruido de 120mV $_{pp}$ a una frecuencia de 1kHz. Ya que V_{in} y V_{ref} están sincronizadas, la señal de entrada es rectificadora, como se muestra en la Fig.8(a). En la Fig.8(b) se observa el voltaje DC a la salida del LPF, el cual es igual a $V_{out_dc_sim}=1.286V$, mientras que de manera teórica, mediante la ecuación (1), se obtuvo $V_{out_dc_id}=1.295V$, siendo por lo tanto el error relativo igual a 0.7%. Puesto que la respuesta transitoria del filtro está determinada por su constante de tiempo, en este caso $\tau = 500ms$, una frecuencia de corte menor eliminará componentes armónicas más cercanas al nivel de DC, pero a costa de incrementar el tiempo de respuesta de todo el sistema ($f_c = 1/2\pi\tau$).

La capacidad de recuperación de señal del LIA propuesto se puso después a prueba. Para ello, se aplicó una señal senoidal de entrada $V_{in}=0.8mV_{pp}@1kHz$ al circuito operando a la máxima ganancia. La primera prueba consistió en sumar a la señal V_{in} una señal de interferencia con amplitud variable y frecuencia de operación fija igual a 10kHz. A continuación, se sumó una señal de interferencia con voltaje $V_{no}=30mV_{pp}$ y frecuencia de operación variable cercana a la de referencia. Finalmente, se sumó una señal de ruido blanco gaussiano de diferentes valores rms. El voltaje de salida ideal obtenido a partir de la ecuación (1), $V_{out_dc_id}$, y el voltaje de simulación, $V_{out_dc_sim}$, se reportan en la Tabla 4.

En la Figura 9 se observa la señal de salida del amplificador de transimpedancia y del filtro de salida LPF para el caso de ruido blanco $V_{no}=38.5mV_{rms}$. Se observa en

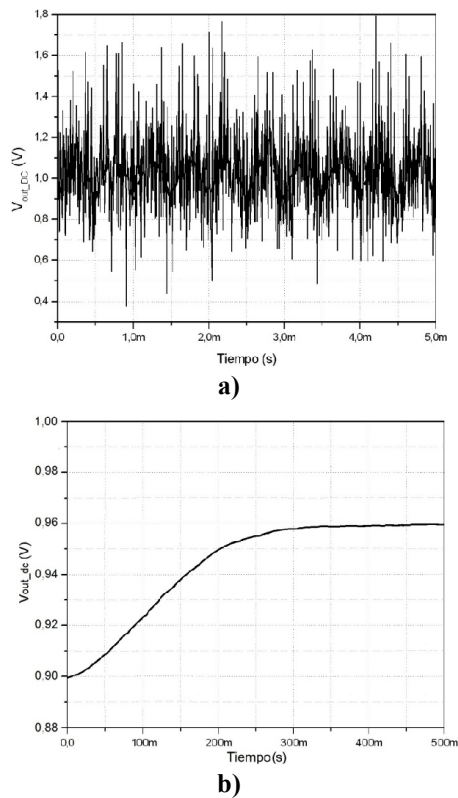


Figura 9. Respuesta transitoria cuando $V_{in}=800\mu V_{pp}$ en presencia de ruido blanco gaussiano $V_{no}=38.5mV_{rms}$ ($SNR=-42.6dB$): (a) a la salida del TIA (V_{out}) y (b) a la salida del filtro LPF (V_{out_dc}).

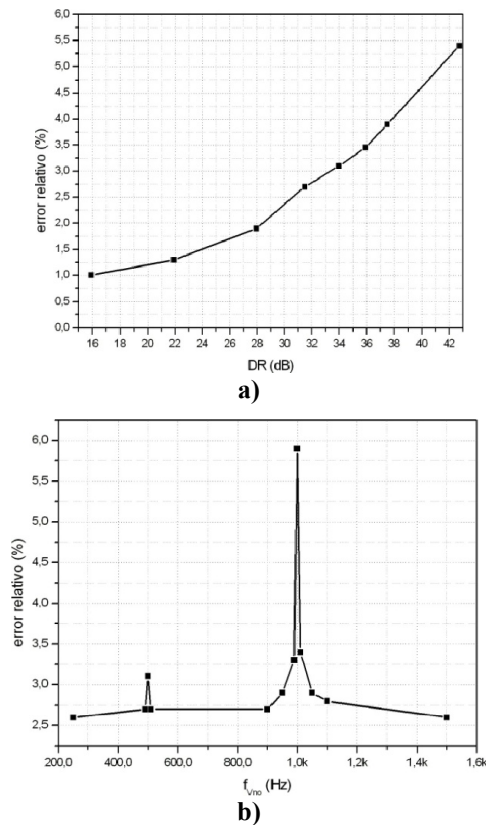


Figura 10. (a) Error Relativo vs. Reserva Dinámica ante interferencias senoidales de frecuencia $f_{vno}=10kHz$, (b) Error Relativo vs. Frecuencia de la Interferencia con voltaje $V_{no}=30mV_{pp}$.

la Fig.9(a) que el LIA rectifica la señal de interés, a la cual se superpone la señal de ruido. En la Figura 9(b), se observa cómo el filtro de salida elimina las componentes armónicas de mayor orden, correspondientes al ruido; sin embargo, debido a que algunas componentes frecuenciales de ruido se encuentran muy cercanas a la ventana de aceptación del filtro, el nivel en DC a la salida es mayor que el esperado, obteniéndose un error relativo de 6.1% con respecto al valor ideal. La reserva dinámica (DR) es el parámetro más importante y que mejor representa la capacidad de recuperación de señales sumergidas en ruido de un amplificador *lock-in*. Concretamente, indica la máxima cantidad de ruido a escala completa que tolera el LIA, expresada en dB [4]; en otras palabras, es la inversa de la peor SNR que puede haber a la entrada del LIA para obtener una señal de salida *full-scale* sin que el amplificador se sature. En la Fig. 10(a) se observa el error relativo del LIA ante diferentes valores de DR, considerando una señal de interferencia senoidal de frecuencia de 10kHz. Puede observarse que el error aumenta conforme se incrementa la amplitud de la señal de interferencia, obteniéndose un error relativo $\varepsilon=5.4\%$ para la máxima reserva dinámica $DR=42.7dB$. En la Fig. 10b se muestra el error relativo en las mediciones del LIA en función de la frecuencia de una señal de interferencia senoidal $V_{no}=30mV_{pp}$. Se observa que cuando la frecuencia de la señal de interferencia se acerca a la frecuencia de referencia, la interferencia contribuye en mayor medida al nivel en DC a la salida, como es de esperar, ya que la componente fundamental de estas señales indeseadas pasa por la ventana de aceptación del filtro de salida. Además, se puede observar en la Figura 10(b) que aquellas señales de interferencia cuya frecuencia es submúltiplo de la frecuencia de referencia, en este caso $f_{vno}=500Hz$, también incrementan el error en el proceso de recuperación, ya que el segundo armónico generado por distorsión armónica coincide con la frecuencia de la señal de referencia, contribuyendo al nivel de DC de la salida e incrementando el error.

Finalmente, se observa en la Tabla 4 que las señales de ruido blanco contribuyen en mayor medida al nivel en DC que extrae el filtro de salida, debido a que este tipo de ruido consta de componentes armónicas en todo el rango de frecuencias, por lo que las más cercanas a la frecuencia de referencia pasan por la ventana de aceptación del LPF. A pesar de ello, el circuito LIA propuesto es capaz de recuperar la señal de interés con un error relativo inferior al 6.1% para $DR=42.7dB$.

Para concluir, se presenta en la Tabla 5 una comparación del funcionamiento del LIA propuesto con otras implementaciones integradas encontradas en la literatura. Los trabajos [8], [12] y [13] cuentan con ganancias elevadas que les permiten detectar señales muy pequeñas; sin embargo, son susceptibles de saturarse si las señales de ruido son elevadas. Por otra parte, un rango de entrada muy pequeño limita a estos circuitos a su uso en aplicaciones específicas. Los trabajos [14] y [15] tienen rangos de entrada mayores, superados por el LIA propuesto al contar con un rango de entrada hasta un orden de magnitud

Tabla 5. Comparación con LIAs Integrados reportados previamente.

Parámetro	[8]	[9]	[12]	[13]	[14]	[15]	LIA Propuesto
Tecnología CMOS (μm)	0.35	0.18	0.7	0.35	0.18	0.18	0.18
Voltaje de Polarización (V)	3.3	1.8	± 2.5	± 1	1.8	1.8	1.8
Ganancia (dB)	120	-	51-109	10-110	24.7-42	24.1-38.5	1.2 – 20.3
BW (kHz)	25	100	50	-	125	122	317
Frecuencia de Operación (kHz)	20	1	20	0.077	1	1	1
f_C LPF (Hz)	1434	-	1-64	0.1	5.16	5.16	5
Ruido referido a la entrada (nV/\sqrt{Hz})	-	-	17@20kHz	34@77Hz	-	-	6.2@1kHz
CMRR@1kHz (dB)	-	-	> 60	-	-	-	115.2
PSRR+@1kHz (dB)	-	-	-	-	-	-	49.7
PSRR-@1kHz (dB)	-	-	-	-	-	-	41.8
Rango de Voltaje de Entrada (mV_{pp})	-	-	0.001	0.01	4.5-18	6-25	0.8-240
Rango de Corriente de Entrada (μA_{pp})	0.5-3	-	-	-	-	-	-
Rango de Salida (V_{pp})	1.2-2.65	-	0.01-3	0.16-1.4	0.3-0.56	0.4-0.52	0.13-1.2
Reserva Dinámica (dB)	-	-	50	-	35.5@ $\epsilon=5.3$ %	38.3@ $\epsilon=5.3$ %	37.5@ $\epsilon=4.9$ %
THD@ 300mV _{pp} @1kHz (dB)	-	-	-	-	-54.6	-52.1	-71.4
Offset a la salida (mV)	-	-	-	-	5.5	6.6	2.1
Consumo de Potencia (mW)	12.79	2	25	3	0.417	0.363	0.240

mayor. En cuanto a la linealidad, también el circuito propuesto resulta ser superior a las propuestas anteriores [14] y [15]. Con respecto a la capacidad de recuperación de señales, sobresale el trabajo [12], que alcanza una $DR=50dB$, aunque no se especifica el error cometido al recuperar la señal. Además, dicho LIA opera con polarización dual de $\pm 2.5V$, lo que lo hace inadecuado para su utilización en sistemas portátiles. Finalmente, se observa que el circuito propuesto presenta una reducción en el consumo de potencia con respecto a otros LIAs [8, 9, 12, 13] en al menos un orden de magnitud, mejorando incluso el consumo que presentan los trabajos [14, 15], lo que reafirma su idoneidad para aplicaciones portátiles.

4. Conclusiones

En este trabajo se presentó el diseño de un amplificador lock-in en modo corriente en tecnología CMOS $0.18\mu\text{m}$, que resulta idóneo para su uso en sistemas portátiles debido a su diseño compacto y su bajo consumo de potencia, de tan solo $237.2\mu W$. La arquitectura propuesta es capaz de recuperar señales de interés de ambientes ruidosos con un error relativo menor al 6.1% tanto para señales de interferencia operando a frecuencias cercanas a la frecuencia de referencia como para señales de ruido blanco, con una reserva dinámica de $42.7dB$. El circuito propuesto presenta, además de bajo consumo, un amplio rango de entrada, alta linealidad y programabilidad de la ganancia, lo

que le brinda flexibilidad para su utilización en diferentes aplicaciones. Así mismo, ya que el LIA no requiere operar a una frecuencia fija y cuenta con un ancho de banda del orden de centenas de kHz, añade la posibilidad de operación a diferentes frecuencias y, por lo tanto, de aplicación a diferentes tipos de sensores.

Agradecimientos

Se agradece el apoyo otorgado por CONACYT para este trabajo a través de la Beca de Doctorado 235415 y del Proyecto de Investigación CB-SEP-2008-01-99901.

Referencias

- [1] G.C.M. Meijer, "Smart Sensor Systems" (Wiley, 2008).
- [2] R. Pallás Areny, "Sensores y acondicionadores de señal", 4ta edición (Marcombo, Barcelona, 2003).
- [3] T. H. Wilmshurst, "Signal Recovery from Noise in Electronic Instrumentation", 2da edición (Taylor & Francis Group, 1990).
- [4] About Lock-in amplifiers, Appl. Note #3, SRS (Stanford Research Systems). <http://www.thinksrs.com/downloads/PDFs/ApplicationNotes/AboutLIAs.pdf>
- [5] C. Falconi, Sensors and Actuators B: Chemical, **121**, 295 (2007).
- [6] D. P. Blair, P. H. Sydenham, Journal of Physics E: Sci. Instruments, **8**, 621 (1975).

- [7] G. N. Lu, P. Pittet, G. Sou, G. Carrillo, A. El Mourabit, J. Analog Integrated Circuits and Signal Processing, **37**, 57 (2003).
- [8] A. Hu, V. P. Chodavarapu, IEEE Transactions on Biomedical Circuits and Systems, **4**, 274 (2010).
- [9] J. Xu, G. Meynants, P. Merken, "Low-Power Lock-In Amplifier for Complex Impedance Measurement", Workshop on Advances in Sensors and Interfaces, pp. 110-114 (2009).
- [10] A. De Marcellis, G. Ferri, M. Patrizi, V. Stornelli, A. D'Amico, C. Di Natale, E. Martinelli, A. Alimelli, R. Paolesse, "An integrated analog lock-in amplifier for low-voltage low-frequency sensor interface," IEEE Workshop on Advances in Sensors and Interfaces, pp. 1-5 (2007).
- [11] C. Azzolini, A. Magnanini, M. Tonelli, G. Chiorboli, C. Morandi, "Integrated lock-in amplifier for contactless interface to magnetically stimulated mechanical resonators", Proc. Intl. Design and Technology of Integrated Systems Nanoscale (Era, 2008).
- [12] A. Gnudi, L. Colalongo, G. Baccarani, "Integrated Lock-In Amplifier for Sensor Applications", IEEE Solid State Circuits Conference, pp. 58-61 (1999).
- [13] A. D'Amico, A. De Marcellis, C. Di Carlo, C. Di Natale, G. Ferri, E. Martinelli, R. Paolesse, V. Stornelli, Sensors and Actuators, **44**, 400 (2010).
- [14] P. M. Maya Hernández, M. T. Sanz Pascual, B. Calvo, "A 1.8V-0.18 μ m CMOS Lock-In Amplifier for Portable Applications", IEEE International Symposium on Circuits And Systems, pp. 668-671 (2012).
- [15] P. M. Maya Hernández, M. T. Sanz Pascual, B. Calvo, D. Antolin, "A CMOS Low-Power Lock-In Amplifier", IEEE Instrumentation and Measurement Technology Conference, pp. 1804-1807 (2012).
- [16] G. W. Roberts, A. S. Sedra, Electronics Letters, **25**, 759 (1989).
- [17] B. Wilson, IEE Proceedings Circuits, Devices and Systems **137**, 63 (1990).
- [18] A. Díaz-Sánchez, J. Ramírez-Angulo, E. Sánchez-Sinencio, G. Han, Analog Integrated Circuits and Signal Processing **19**, 163 (1999).
- [19] K. Bult, G. Geelen, IEEE J. Solid-State Circuits **27**, 1730 (1992).
- [20] M. Pastre, M. Kayal, Methodology for the Digital Calibration of Analog Circuits and Systems with Case Studies (Springer, 2006).